

(19)



JAPANESE PATENT OFFICE

2
TI-13800 JP. 4

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 63213014 A

(43) Date of publication of application: 05 . 09 . 88

(51) Int. Cl.

G06F 1/04

(21) Application number: 62045282

(71) Applicant: NEC CORP

(22) Date of filing: 02 . 03 . 87

(72) Inventor: KANAZAWA TAKASHI

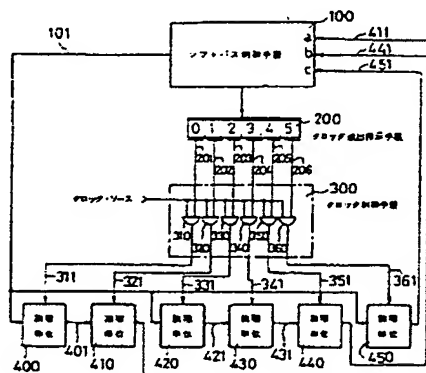
(54) DATA PROCESSOR

(57) Abstract:

PURPOSE: To design a clock control means with no dependence on the constitution of each shift path by realizing the clock control for each logical unit.

CONSTITUTION: A shift path control means 100 selects an optional one of a 1st shift path consisting of logical units 400 and 410, a 2nd shift path consisting of logical units 420, 430 and 440, and a 3rd shift path consisting of a logical unit 450. Then, the means 100 gives the data writing/reading control to said selected path. A clock transmission instruction means 200 instructs whether the clocks should be transmitted or not in response to those logical units based on an instruction given from the means 100. A clock control means 300 controls those clocks to be supplied to the logical units 400W450 respectively based on an instruction given from the means 200 serving as a register.

COPYRIGHT: (C)1988,JPO&Japio



(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 63213014 A

(43) Date of publication of application: 05 . 09 . 88

(51) Int. Cl.

G06F 1/04

(21) Application number: 62045282

(71) Applicant: NEC CORP

(22) Date of filing: 02 . 03 . 87

(72) Inventor: KANAZAWA TAKASHI

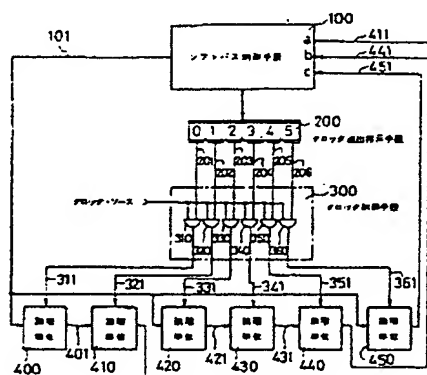
(54) DATA PROCESSOR

(57) Abstract:

PURPOSE: To design a clock control means with no dependence on the constitution of each shift path by realizing the clock control for each logical unit.

CONSTITUTION: A shift path control means 100 selects an optional one of a 1st shift path consisting of logical units 400 and 410, a 2nd shift path consisting of logical units 420, 430 and 440, and a 3rd shift path consisting of a logical unit 450. Then, the means 100 gives the data writing/reading control to said selected path. A clock transmission instruction means 200 instructs whether the clocks should be transmitted or not in response to those logical units based on an instruction given from the means 100. A clock control means 300 controls those clocks to be supplied to the logical units 400W450 respectively based on an instruction given from the means 200 serving as a register.

COPYRIGHT: (C)1988,JPO&Japio



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭63-213014

⑫ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)9月5日

G 06 F 1/04

7157-5B

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 データ処理装置

⑮ 特 願 昭62-45282

⑯ 出 願 昭62(1987)3月2日

⑰ 発 明 者 金 澤 敬 東京都港区芝5丁目33番1号 日本電気株式会社内
⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑲ 代 理 人 弁理士 芦 田 坦 外2名

明 細 書

1. 発明の名称

データ処理装置

2. 特許請求の範囲

1. クロック制御単位によって分割される複数の論理単位と、該論理単位が1個ないし複数個からなる複数のシフトバスのうち、任意のシフトバスを選択して、そのシフトバスに対してデータの書き込み及び読出しの制御を行なうシフトバス制御手段と、該シフトバス制御手段のシフトバス選択によるクロック制御指示に従い前記論理単位対応にクロックを送出するか否かを指示するクロック送出指示手段と、該クロック送出指示手段の指示により、前記論理単位に送出するクロックを制御するクロック制御手段を備えることを特徴とするデータ処理装置。

以下余白

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、複数のシフトバスを有するデータ処理装置に関する。

〔従来の技術〕

従来、この種のデータ処理装置は、第2図に示すように、クロック制御単位によって分割される論理単位41ないし45を有し、1個ないし複数個の論理単位からなる複数のシフトバスのうち任意のシフトバスを選択し、それに対してデータの書き込み及び読出しの制御を行なうシフトバス制御手段10と、シフトバス制御手段10のシフトバス選択指示に従い、どのシフトバスにクロックを送出するか否かを指示するシフトバス選択指示手段20と、シフトバス選択指示手段20の指示により、論理単位41ないし45に送出するクロックを制御するクロック制御手段30から構成されている。

仮に、論理単位41と42からなるシフトバスのシフトバス番号を「1」、論理単位43と

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭63-213014

⑫ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)9月5日

G 06 F 1/04

7157-5B

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 データ処理装置

⑮ 特 願 昭62-45282

⑯ 出 願 昭62(1987)3月2日

⑰ 発 明 者 金 澤 敬 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
 ⑲ 代 理 人 弁理士 芦 田 坦 外2名

明 細 書

1. 発明の名称

データ処理装置

2. 特許請求の範囲

1. クロック制御単位によって分割される複数の論理単位と、該論理単位が1個ないし複数個からなる複数のシフトバスのうち、任意のシフトバスを選択して、そのシフトバスに対してデータの書き込み及び読出しの制御を行なうシフトバス制御手段と、該シフトバス制御手段のシフトバス選択によるクロック制御指示に従い前記論理単位対応にクロックを送出するか否かを指示するクロック送出指示手段と、該クロック送出指示手段の指示により、前記論理単位に送出するクロックを制御するクロック制御手段を備えることを特徴とするデータ処理装置。

以下余白

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、複数のシフトバスを有するデータ処理装置に関する。

〔従来の技術〕

従来、この種のデータ処理装置は、第2図に示すように、クロック制御単位によって分割される論理単位41ないし45を有し、1個ないし複数個の論理単位からなる複数のシフトバスのうち任意のシフトバスを選択し、それに対してデータの書き込み及び読出しの制御を行なうシフトバス制御手段10と、シフトバス制御手段10のシフトバス選択指示に従い、どのシフトバスにクロックを送出するか否かを指示するシフトバス選択指示手段20と、シフトバス選択指示手段20の指示により、論理単位41ないし45に送出するクロックを制御するクロック制御手段30から構成されている。

仮に、論理単位41と42からなるシフトバスのシフトバス番号を「1」、論理単位43と

44からなるシフトバスのシフトバス番号を「2」、論理単位45からなるシフトバス番号を「3」とする。

例えば、シフトバス 号「1」のシフトバスに対してデータの書き込み読出しを行なうとすると、シフトバス制御手段10は、シフトバス番号「1」をシフトバス選択指示手段20に送出する。シフトバス選択手段20は、シフトバス番号「1」を受け取ると、出力21を「1」、他の出力を「0」とする。シフトバス選択手段20の出力21ないし23をクロック制御手段30が受け取ると、クロック制御手段30内のアンド・ゲート36ないし38でクロック・ソースと論理値が取られ、クロック制御手段30の出力31ないし32のみクロックが送出可能となる。

したがって、選択されたシフト番号のみにクロックが供給されてシフトイン・アウト動作が可能になり、データの書き込み及び読出しができる。

- 3 -

クロック制御指示に従い論理単位対応にクロックを送出するか否かを指示するクロック送出指示手段と、該クロック送出指示手段の指示により、前記論理単位に送出するクロックを制御するクロック制御手段を有する。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は、本発明の一実施例の構成を示すブロック図である。400、410、420、430、440及び450はクロック制御単位に分割された論理単位である。100は、論理単位400と410からなる第1のシフトバス、論理単位420、430及び440からなる第2のシフトバス、論理単位450からなる第3のシフトバスのうち、任意のシフトバスを選択して、そのシフトバスに対してデータの書き込み及び読出しの制御を行なうシフトバス制御手段である。200は、シフトバス制御手段100の指示により、論理単位対応にクロックを送出するか否か

〔発明が解決しようとする問題点〕

上述した従来のデータ処理装置は、シフト動作時のクロック制御がシフトバス単位で行なわれている為、クロック制御手段の構成は、各シフトバスの構成に深く依存しており、クロック制御手段の設計が各シフトバスの構成が決まるまで待たされるという欠点がある。また、シフトバス再構成時、クロック制御手段を再設計しなければならないという欠点がある。さらに、複数のシフトバスに含まれるような被制御手段がある場合、クロック制御手段が複雑になるという欠点がある。

〔問題点を解決するための手段〕

本発明によるデータ処理装置は、クロック制御単位によって分割された複数の論理単位と、該論理単位が1個ないし複数個からなる複数のシフトバスのうち、任意のシフトバスを選択して、そのシフトバスに対してデータの書き込み及び読出しの制御を行なうシフトバス制御手段と、該シフトバス制御手段のシフトバス選択による

- 4 -

を指示するクロック送出指示手段である。300は、クロック送出指示手段であるレジスタ200の指示により、論理単位400、410、420、430、440及び450へ供給するクロックを制御するクロック制御手段である。

第1のシフトバスは、シフトイン101→論理単位400→シフトアウト401→論理単位410→シフトアウト411→シフトバス制御手段100のa入力のパスを構成する。

第2のシフトバスは、シフトイン101→論理単位420→シフトアウト421→論理単位430→シフトアウト431→論理単位440→シフトアウト441→シフトバス制御手段100のb入力のパスを構成する。

第3のシフトバスは、シフトイン101→論理単位450→シフトアウト451→シフトバス制御手段100のc入力のパスを構成する。

以下にシフト動作時のクロック制御について、第2のシフトバスに対するデータの書き込み及び読出しの場合を例にとって説明する。

- 5 -

- 98 -

- 6 -

44からなるシフトバスのシフトバス番号を「2」、論理単位45からなるシフトバス番号を「3」とする。

例えば、シフトバス 号「1」のシフトバスに対してデータの書き込み読出しを行なうとすると、シフトバス制御手段10は、シフトバス番号「1」をシフトバス選択指示手段20に送出する。シフトバス選択手段20は、シフトバス番号「1」を受けとると、出力21を「1」、他の出力を「0」とする。シフトバス選択手段20の出力21ないし23をクロック制御手段30が受け取ると、クロック制御手段30内のアンド・ゲート36ないし38でクロック・ソースと論理積が取られ、クロック制御手段30の出力31ないし32のみクロックが送出可能となる。

したがって、選択されたシフト番号のみにクロックが供給されてシフトイン・アウト動作が可能になり、データの書き込み及び読出しができる。

- 3 -

クロック制御指示に従い論理単位対応にクロックを送出するか否かを指示するクロック送出指示手段と、該クロック送出指示手段の指示により、前記論理単位に送出するクロックを制御するクロック制御手段を有する。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は、本発明の一実施例の構成を示すブロック図である。400、410、420、430、440及び450はクロック制御単位に分割された論理単位である。100は、論理単位400と410からなる第1のシフトバス、論理単位420、430及び440からなる第2のシフトバス、論理単位450からなる第3のシフトバスのうち、任意のシフトバスを選択して、そのシフトバスに対してデータの書き込み及び読出しの制御を行なうシフトバス制御手段である。200は、シフトバス制御手段100の指示により、論理単位対応にクロックを送出するか否かを

〔発明が解決しようとする問題点〕

上述した従来のデータ処理装置は、シフト動作時のクロック制御がシフトバス単位で行なわれている為、クロック制御手段の構成は、各シフトバスの構成に深く依存しており、クロック制御手段の設計が各シフトバスの構成が決まるまで待たされるという欠点がある。また、シフトバス再構成時、クロック制御手段を再設計しなければならないという欠点がある。さらに、複数のシフトバスに含まれるような被制御手段がある場合、クロック制御手段が複雑になるという欠点がある。

〔問題点を解決するための手段〕

本発明によるデータ処理装置は、クロック制御単位によって分割された複数の論理単位と、該論理単位が1個ないし複数個からなる複数のシフトバスのうち、任意のシフトバスを選択して、そのシフトバスに対してデータの書き込み及び読出しの制御を行なうシフトバス制御手段と、該シフトバス制御手段のシフトバス選択による

- 4 -

を指示するクロック送出指示手段である。300は、クロック送出指示手段であるレジスタ200の指示により、論理単位400、410、420、430、440及び450へ供給するクロックを制御するクロック制御手段である。

第1のシフトバスは、シフトイン101→論理単位400→シフトアウト401→論理単位410→シフトアウト411→シフトバス制御手段100のa入力のパスを構成する。

第2のシフトバスは、シフトイン101→論理単位420→シフトアウト421→論理単位430→シフトアウト431→論理単位440→シフトアウト441→シフトバス制御手段100のb入力のパスを構成する。

第3のシフトバスは、シフトイン101→論理単位450→シフトアウト451→シフトバス制御手段100のc入力のパスを構成する。

以下にシフト動作時のクロック制御について、第2のシフトバスに対するデータの書き込み及び読出しの場合を例にとって説明する。

- 5 -

- 98 -

- 6 -

まず、シフトバス制御手段100は、シフトアウトデータとして、シフトアウト441を選択すると共に、クロック送出指示手段であるレジスタ200のビット0, 1, 5に「0」をセットし、ビット2ないし4に「1」をセットする。

レジスタ200の出力201ないし206は、クロック制御手段300に送出され、クロック制御手段300内のアンドゲート310, 320, 330, 340, 350及び~~355~~³⁶⁰でクロック・ソースと論理積がとられる。レジスタ200のビット0, 1, 5が「0」である為、クロック・ソースは無効にされ、アンドゲート310, 320及び360の出力311, 321及び361は常に「0」の状態となる。一方、レジスタ200のビット2ないし4は「1」である為、アンドゲート330, 340及び350は、クロック・ソースを有効とし、出力331, 341及び351に出力する。

クロック制御手段300の出力311, 321,

331, 341, 351及び361は、論理単位400, 410, 420, 430, 440及び450のクロック入力に接続されている為、論理単位420, 430及び440のみクロックが有効となる。

したがって、第2のシフトバスを構成する論理単位420, 430及び440のみにクロックが供給され、シフトイン・アウト動作により、データの書き込み及び読出しができる。

ところで、例えば、被制御手段(論理単位)420が、第2のシフトバスから第1のシフトバスに移動することを考えると、論理単位410のシフトアウト411を論理単位420のシフトインに接続し、論理単位420のシフトアウトをシフトバス制御手段100のa入力に接続し、シフトイン101を論理単位430のシフトインに接続すれば、クロック送出指示手段であるレジスタ200のビット2にセットするデータを変更するだけで、第2のシフトバスのクロック制御ができる。

- 7 -

〔発明の効果〕

以上説明したように本発明のデータ処理装置は、論理単位にクロック制御を可能としたことにより、各シフトバスの構成に依存することなくクロック制御手段が設計できるという効果がある。又、各シフトバスの再構成をクロック制御手段を変更することなく容易にできるという効果がある。更に、被制御手段が複数のシフトバスに含まれる場合、クロック制御手段を複数にすることを抑止できるという効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例の構成を示すブロック図、第2図は従来の構成を示すブロック図である。

100 …シフトバス制御手段、200 …クロック送出指示手段、300 …クロック制御手段、310, 320, 330, 340, 350, 360 …アンドゲート、400, 410, 420, 430, 440, 450 …論理単位。

代理人 (7783) 弁理士 池田 憲保



- 9 -

- 99 -

まず、シフトバス制御手段100は、シフトアウトデータとして、シフトアウト441を選択すると共に、クロック送出指示手段であるレジスタ200のビット0, 1, 5に「0」をセットし、ビット2ないし4に「1」をセットする。

レジスタ200の出力201ないし206は、クロック制御手段300に送出され、クロック制御手段300内のアンドゲート310, 320, 330, 340, 350及び~~360~~³⁶⁰でクロック・ソースと論理積がとられる。レジスタ200のビット0, 1, 5が「0」である為、クロック・ソースは無効にされ、アンドゲート310, 320及び360の出力311, 321及び361は常に「0」の状態となる。一方、レジスタ200のビット2ないし4は「1」である為、アンドゲート330, 340及び350は、クロック・ソースを有効とし、出力331, 341及び351に出力する。

クロック制御手段300の出力311, 321,

331, 341, 351及び361は、論理単位400, 410, 420, 430, 440及び450のクロック入力に接続されている為、論理単位420, 430及び440のみクロックが有効となる。

したがって、第2のシフトバスを構成する論理単位420, 430及び440のみにクロックが供給され、シフトイン・アウト動作により、データの書き込み及び読出しができる。

ところで、例えば、被制御手段(論理単位)420が、第2のシフトバスから第1のシフトバスに移動することを考えると、論理単位410のシフトアウト411を論理単位420のシフトインに接続し、論理単位420のシフトアウトをシフトバス制御手段100のe入力に接続し、シフトイン101を論理単位430のシフトインに接続すれば、クロック送出指示手段であるレジスタ200のビット2にセットするデータを変更するだけで、第2のシフトバスのクロック制御ができる。

- 7 -

〔発明の効果〕

以上説明したように本発明のデータ処理装置は、論理単位にクロック制御を可能としたことにより、各シフトバスの構成に依存することなくクロック制御手段が設計できるという効果がある。又、各シフトバスの再構成をクロック制御手段を変更することなく容易にできるという効果がある。更に、被制御手段が複数のシフトバスに含まれる場合、クロック制御手段を複数にすることを抑止できるという効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例の構成を示すブロック図、第2図は従来の構成を示すブロック図である。

100…シフトバス制御手段、200…クロック送出指示手段、300…クロック制御手段、310, 320, 330, 340, 350, 360…アンドゲート、400, 410, 420, 430, 440, 450…論理単位。

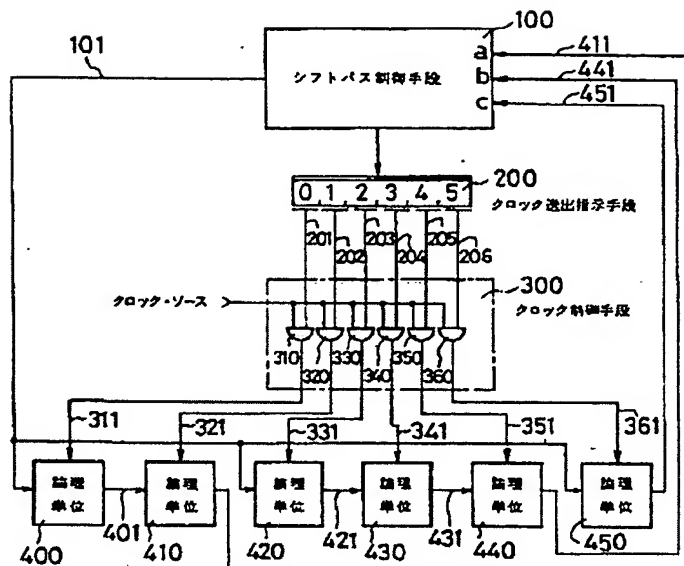
代理人 (7783) 弁理士 池田 憲保



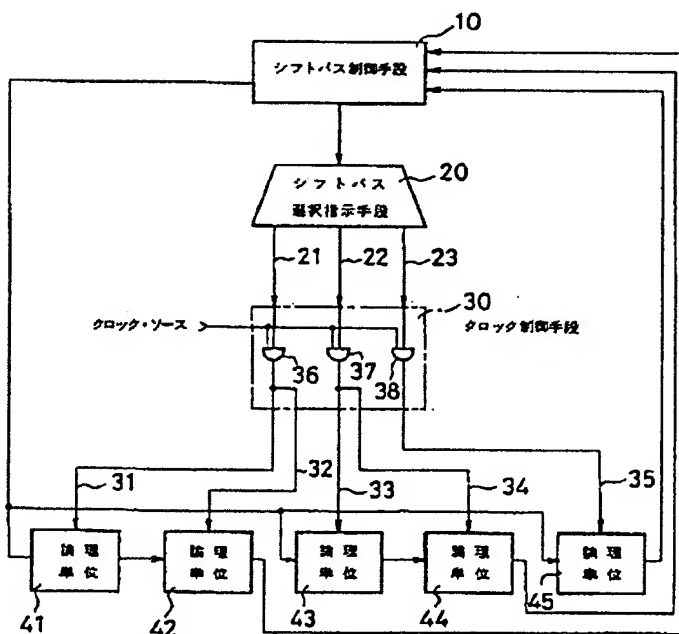
- 9 -

- 99 -

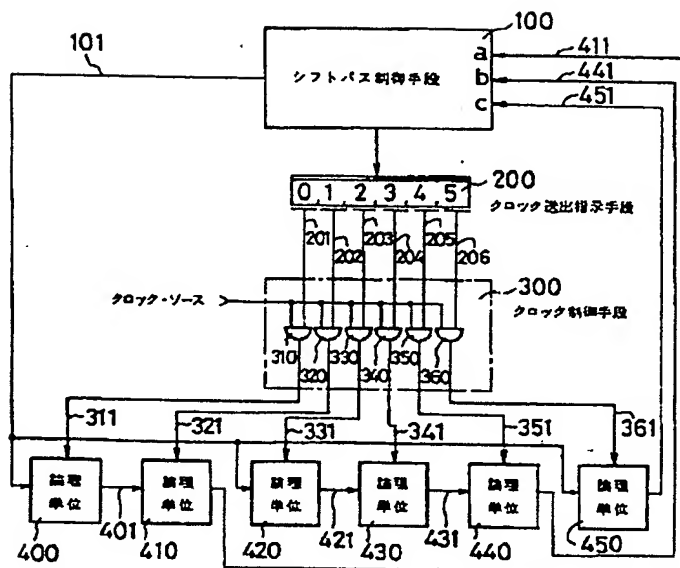
第 1 図



第 2 図



第 1 図



第 2 図

